

## 論文

コプレーナ線路整合回路を用いた無線通信用 RF-CMOS フロント  
エンドの設計手法金谷 晴一<sup>†a)</sup> 中村 徹哉<sup>††</sup> 川上 晃治<sup>††</sup> 吉田 啓二<sup>†</sup>

Design of Coplanar Waveguide Matching Circuit for RF-CMOS Front-End

Haruichi KANAYA<sup>†a)</sup>, Tetsuya NAKAMURA<sup>††</sup>, Kouji KAWAKAMI<sup>††</sup>,  
and Keiji YOSHIDA<sup>†</sup>

あらまし 我々はマイクロ波帯における送受信機の高性能化, 小型化のため, インピーダンス整合回路をフィルタに組み込むことにより, アンテナと一体化させる設計法を提案し, 研究を進めてきた. 本論文では, 能動素子として, CMOS プロセスにより低雑音増幅器 (LNA) 及び電力増幅器 (PA) を設計し, その入出力インピーダンスを, 分布定数線路を用いた整合回路によりチップ上で整合する方法を提案した. 分布定数線路として, コプレーナ線路 (CPW) を導入することにより, 小型化設計を行った. まず CPW メアング線路の高周波特性を電磁界シミュレータにより評価し実測値との比較を行った. 次に, 整合回路一体型増幅器を設計し, シミュレータによる性能予測を行った. なお, ターゲットとする周波数として無線 LAN 用 (IEEE802.11b, 2.4 GHz) とした.

キーワード RF-CMOS, 無線 LAN, コプレーナ線路, インピーダンス整合回路

## 1. ま え が き

移動体通信 (IMT2000), 無線 LAN, 衛星通信等, 近年の情報化社会の急激な発展により, より高性能・高効率な通信システムを実現するデバイスの開発が期待されている. これを実現できる技術として, デジタル回路とのマッチングが良い CMOS 回路をアナログ回路に適用することにより, フィルタ・低雑音増幅器 (Low Noise Amplifier: LNA)・パワーアンプ (PA) からベースバンド部, 更にはデジタル回路等を集積化した, モノリシック・マイクロ波集積回路 (MMIC) を開発することが急務の課題となっている [1], [2]. 既に無線 LAN においては, PC カード用の高周波フロントエンドとして, 2チップのシステムが開発されている. しかしながら, 周波数選択用及び, 高調波除去用

フィルタは外付けされている.

また, 低雑音増幅器は通常, 外部回路との  $50\Omega$  整合 (共役整合) あるいは, 雑音整合のため, CMOS チップ上にスパイラルインダクタを装荷しており, このサイズが小型化設計を阻む原因となっている. 更に, スパイラルインダクタは  $Q$  値が非常に低いことや, インダクタの自己共振により, 高利得化・低雑音化及び高周波化が難しい. またフィルタ回路設計も不可能である.

そこで我々は, 将来の高周波化のためにスパイラルインダクタを排除した設計方法として, 分布定数線路とインピーダンス反転回路 (インバータ回路) を用いた共振器構造を導入し, フィルタ回路 (帯域設計) と整合回路を一体化した回路素子を CMOS 上に実現することを目的とする. なお分布定数型共振器のサイズは周波数の増大に反比例して小型化できる.

伝送線路として信号線と接地導体が同一平面上に存在するコプレーナ線路 (CPW) を用いたので, CMOS 能動素子と容易に結合でき, また接地も容易であるため, デバイスの小型化が可能である. 図 1 に高周波部のブロック図を示す. 通常システムでは図 1(a) のよ

<sup>†</sup> 九州大学大学院システム情報科学研究院, 福岡市  
Graduate School of Information Science and Electrical Engineering, Kyushu University, Fukuoka-shi, 812-8581 Japan

<sup>††</sup> 九州大学大学院システム情報科学府, 福岡市  
Graduate School of Information Science and Electrical Engineering, Kyushu University, Fukuoka-shi, 812-8581 Japan  
a) E-mail: kanaya@ed.kyushu-u.ac.jp

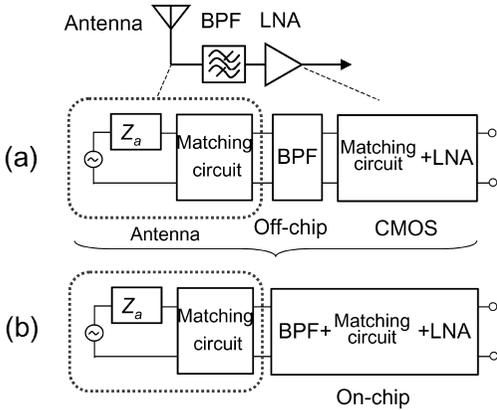


図1 高周波回路のブロック図 (a) オフチップ型 (b) オンチップ型  
Fig.1 Block diagram of the RF section. (a) Conventional type. (b) On-chip type.

うに、フィルタは外付けされている。我々はこれまで、外付け回路として、アンテナ・整合回路・フィルタを一体化した、フィルタ型アンテナの設計を行い、既に公表済みである [3] ~ [5]。本研究では、図 1(b) のように、CMOS 上にフィルタを設計し、LNA の入力整合回路とそれぞれ一体化することを目的とする。なお、無線 LAN (IEEE802.11b) 使用される 2.4 GHz 帯をターゲットとし、設計を行った。

2. 整合回路の設計法

本整合回路は、チェビシェフ帯域フィルタ (BPF) の理論をもとにしている [6]。BPF は分布定数線路とインピーダンスインバータ ( $K$  インバータ,  $K_{i,i+1}$ ) により構成する。通常の無線 LAN カードでは、外付け BPF として、チップ誘電体フィルタが用いられている。その仕様は一般に通過帯域 100 MHz, 挿入損 1.5 dB, チェビシェフリップル 0.5 dB, 1.9 GHz における減衰量 30 dB である。このスペックを満足するには少なくとも 3 段程度の BPF 特性が必要であり、BPF を多段化して、周波数選択性を向上させたいが、チップ面積の制約のため本論文では 1 段フィルタとする。図 2 に示すインピーダンスインバータ ( $K$  インバータ) を用いた 1 段の帯域フィルタ (BPF) の設計式は、

$$K_{0,1} = \sqrt{w} \sqrt{\frac{Z_0 x_1}{g_0 g_1}} \quad (1)$$

$$K_{1,2} = \sqrt{w} \sqrt{\frac{x_1 Z_0}{g_1 g_2}} \quad (2)$$

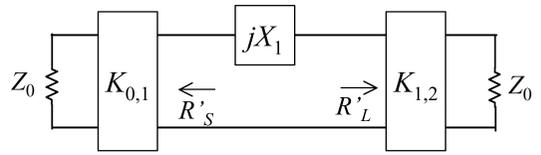


図2  $K$  インバータを用いた一段の BPF  
Fig.2 Circuit model of the 1 pole BPF with  $K$  inverter.

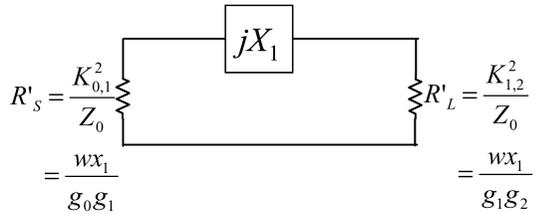


図3 図2の中心部での等価回路  
Fig.3 Equivalent circuit model at center frequency.

$$X_1 = x_1 \left( \frac{\omega}{\omega_0} - \frac{\omega_0}{\omega} \right) \quad (3)$$

で与えられる。ここで  $X_1$  はリアクタンススロープパラメータ  $x_1$  をもつ直列共振器のリアクタンスである。 $w$  は比帯域,  $g_i$  はフィルタパラメータである。

図 2 のフィルタの中心部での等価回路は図 3 のように表されるので、抵抗比と  $Q$  値は、

$$\frac{R'_L}{R'_S} = \frac{g_0}{g_2} \quad (4)$$

$$Q = \frac{x_1}{R'_S + R'_L} = \frac{g_0 g_1 g_2}{w (g_0 + g_2)} \quad (5)$$

で与えられる。

次に、 $\lambda/4$  線路を用いることによる小型化設計手法を説明する。

図 4 は、我々が新たに提案する一つの  $K$  インバータと  $\lambda/4$  線路を用いた分布定数型インピーダンス整合回路である。入出力整合回路とも同じ設計法になるので、ここでは入力側整合回路についてのみ述べる。まず、インピーダンス整合法について説明する。 $Y_L$  は LNA の入力アドミタンスであり、

$$Y_L = \frac{1}{Z_L} \equiv G_L + jB_L \quad (6)$$

とする。

補償回路において  $\Delta l$  は式 (7) のように LNA のサセ

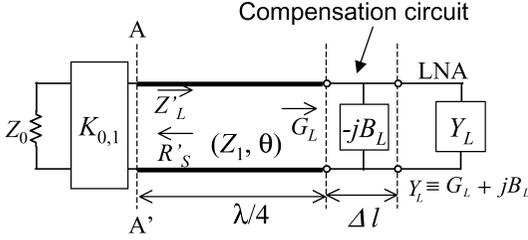


図4 λ/4線路を用いたフィルタ型インピーダンス整合回路  
Fig. 4 Circuit model of the quarter wavelength matching circuit.

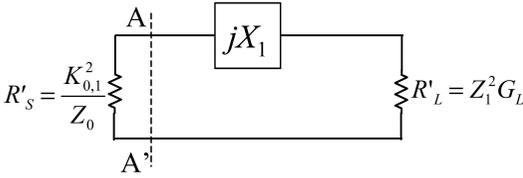


図5 図4のA-A'における等価回路  
Fig. 5 Equivalent circuit model at A-A' in Fig. 4.

プタンス  $B_L$  を打ち消して補償するように決める。ただし  $C$  [F/m] は分布定数線路の単位長さ当りの容量である。

$$\Delta l = -\frac{B_L}{\omega_0 C} \quad (7)$$

次に、図4において  $Z'_L$  及び  $R'_S$  は、 $\lambda/4$  線路の特性インピーダンス  $Z_1$  と電気長  $\theta$  を用いて式(8)~(12)のように書ける。

$$Z'_L = Z_1^2 G_L + jX_1 \equiv R'_L + jX'_L \quad (8)$$

$$X_1 = -Z_1 \cot \theta \cong x_1 \left( \frac{\omega}{\omega_0} - \frac{\omega_0}{\omega} \right) \quad (9)$$

$$x'_1 = \frac{\pi}{4} Z_1 \quad (10)$$

$$R'_L = Z_1^2 G_L \quad (11)$$

$$R'_S = \frac{K_{0,1}^2}{Z_0} \quad (12)$$

ただし、式(8)で、LNAの入カインピーダンスが  $Z_0$  よりも十分に大きい、つまり  $|Y_L| \ll Y_0$  を仮定している。よって、図4のA-A'における等価回路は図5のように変形できる。

これが、1段フィルタと同一の構造になるためには、式(4)、式(5)の共振条件に代入して

$$\frac{R'_L}{R'_S} = \frac{Z_0}{K_{0,1}^2} Z_1^2 G_L = \frac{g_0}{g_2} \quad (13)$$

$$Q = \frac{x_1}{R'_S + R'_L} = \frac{Z_0}{K_{0,1}^2} \frac{x_1}{\left(1 + \frac{g_0}{g_2}\right)} = \frac{g_0 g_1 g_2}{w(g_0 + g_2)} \quad (14)$$

となる。この、2式を  $K_{0,1}$ 、 $Z_1$  について解くと最終的に設計公式として

$$Z_1 = \frac{\pi}{4} \frac{w}{g_1 g_2 G_L} \quad (15)$$

$$K_{0,1} = \sqrt{w} \sqrt{\frac{Z_0 x_1}{g_0 g_1}} \quad (16)$$

$$x_1 = \frac{\pi}{4} Z_1 \quad (17)$$

が与えられる。つまり、 $\lambda/4$  線路の特性インピーダンス ( $Z_1$ ) と  $K_{0,1}$  でインピーダンス整合がとれる。また式(16)から  $w$  を変えることで所望の帯域を得ることができる。なお、雑音整合を取る場合は、 $Y_L = Y_{opt}^*$  ( $Y_{opt}$ : 雑音を最小にするアドミタンス) とすることにより上式が適用できる [7]。

### 3. 整合回路の設計

マイクロ波回路においては、マイクロストリップ線路がよく用いられるが、我々は、整合回路をCMOS上に設計するために、コプレーナ線路 (Coplanar Wave guide: CPW) を用いた。CPWは、図6に示すように、信号線と接地導体が同一平面状にあるため、接地が容易に実現できる。また、信号線幅と接地導体間隔との比により、線路の特性インピーダンスを決定できるので、比例縮小することにより、小型化が可能である。また、マイクロストリップ構造に比べ電界の放射が少ないので、他の回路への影響も少ないと考えられる。更に、Si基板の損失の影響をなくすために、最下位のメタルと組み合わせたコンダクタバックドCPW構造とした(図6)。CPWの電磁界シミュレーションにはMomentum (アジレントテクノロジー) を用いた。

図7に電磁界シミュレーションにおいてモデル化した基板の断面構造を示す。メタルの損失を軽減するためにメタル5層と4層を多数のビアで接続した。なお、導体はAl、誘電体はSiO<sub>2</sub>とし、導電率、誘電率や誘電損等の物性定数を用いて、シミュレーションを行った。図8にCPW整合回路のレイアウトイメージを示

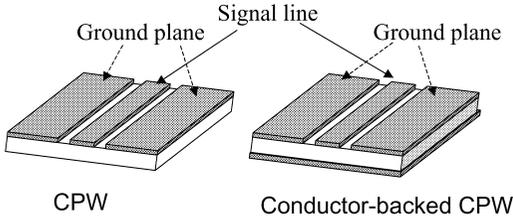


図6 CPW 構造の概略図  
Fig.6 Schematic diagram of the CPW structure.

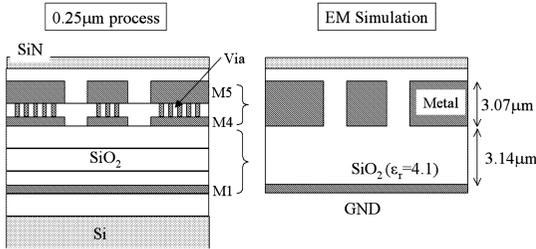


図7 CMOS基板及び電磁界シミュレーションにおける断面モデル  
Fig.7 Sectional views of the real process and EM-simulated condition.

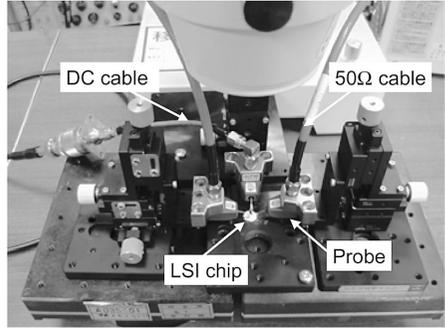


図9 高周波測定系写真  
Fig.9 Photograph of the RF measuring system.

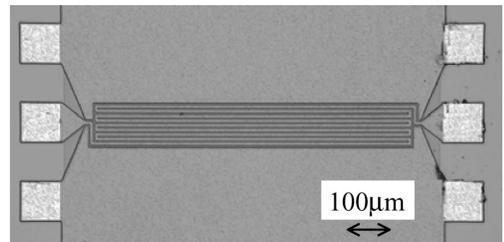


図10 コンダクタバックドCPWメアンダ線路のTEGチップ写真  
Fig.10 Photograph of the conductor-backed CPW.

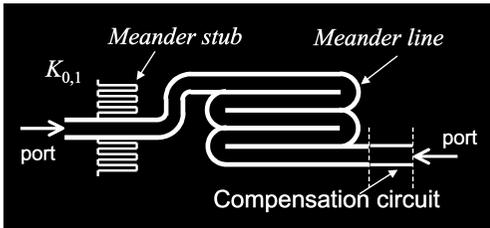


図8 CPW マッチング回路のレイアウトイメージ  
Fig.8 Layout image of the CPW matching circuit.

す。図8に示すように $\lambda/4$ 線路と補償回路は小型化のためメアンダ化した。 $K$ インバータについてもメアンダショートスタブを用いた。

4. 整合回路の設計

図9に高周波伝送特性測定の測定系写真を示す。測定にはエアコプレーナプローブ（カスケードマイクロテック）を用いた。予備実験として、コンダクタバックドCPWの特性を評価するために、50Ω線路のテストチップを評価した。図10に線路のチップ写真を示す。信号線幅は10 $\mu$ mである。線路はメアンダ形状で長さ13mmであり、2.45GHzの $\lambda/4$ 波長程度の線路長である。図11に測定結果を示す。比較のため、電磁界シミュレータによるシミュレーション結果も同時

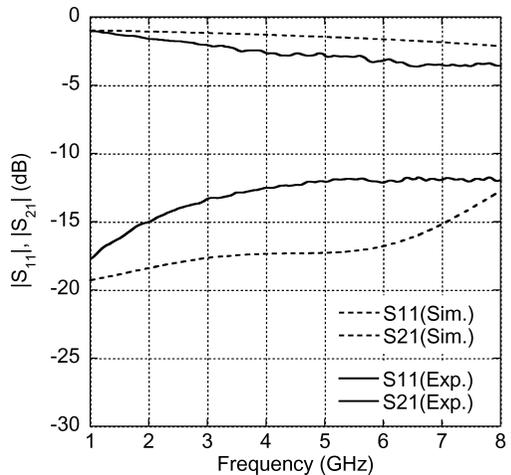


図11 コンダクタバックドCPW線路の高周波特性  
Fig.11 Characteristics of the conductor-backed CPW.

に示す。電磁界シミュレーション結果から、 $\lambda/4$ 波長程度の線路長になると、アルミ電極による損失（電極損）により2.45GHz付近で1dB程度の減衰があることが予想される。一方実験結果においては、2.45GHz付近で更に1dB程度の減衰が見られるが、これは測

定用 PAD による損失（コプレーナプローブとの接続を含む）によると考えられる。しかしながら電磁界シミュレータによる結果と比較的一致することから、電磁界シミュレータによる CPW の設計が可能であることが明らかとなった。今後、通信速度を上げるため使用周波数の上昇が考えられるので、線路長の短縮による、更なる小型化、低損失化が可能となる。

### 5. 整合回路一体型低雑音増幅器 (LNA) の設計

LNA 及び PA それぞれについて設計を行ったが、本論文では、LNA の設計についてのみ述べる。LNA の設計には、TSMC 社の  $0.25\ \mu\text{m}$  CMOS プロセスを用いた。CAD ツールとして VDEC より提供されている Virtuoso (cadence) を用いた。また LNA の入出力インピーダンス及び雑音指数の算出には ADS (アジレントテクノロジー) を用いた。今回は無線 LAN 用 (IEEE802.11b に準拠) の RF フロントエンドを設計するため、中心周波数  $2.447\ \text{GHz}$ 、帯域  $100\ \text{MHz}$  とし、2. で提案した設計理論を用いて、 $K$  インバータと  $\lambda/4$  線路を用いた入出力整合回路を設計し、電磁界シミュレータにより設計理論の検証を行った。

まず、 $2.45\ \text{GHz}$  における LNA の入出力インピーダンスを回路シミュレータにより測定する。次に、得られた入出力インピーダンスの値を用いて、電磁界シミュレータにより整合回路の設計する。その際、電磁界シミュレータのポートインピーダンスを、LNA の入力または出力インピーダンスに置き換えることで設計を行った。電磁界シミュレータで得られた整合回路部の  $S$  パラメータを回路シミュレータに取り込み、アンプ部と組み合わせることにより最終的な結果を得た。図 12 に入出力に 1 段フィルター一体型整合回路を付加した LNA のチップレイアウトを示す。小型化のために、図 10 のように線路を折り曲げたメアンダ構造とした。入出力部はエアコプレーナプローブによる計測のためのパッド (CPW PAD) を設けている。アンプ部の面積は入出力 PAD 込みで  $2.2 \times 0.2\ \text{mm}$  である。

図 13 に入力電力利得及び反射係数の周波数特性を示す。なお、シミュレーション結果には、アルミ電極の損失は考慮しているが、CPW 線路の実験結果で得られた損失は考慮していない。回路シミュレーションにより、 $2.45\ \text{GHz}$  において電力利得  $=15\ \text{dB}$  を得た。図 13 の反射係数から  $2.45\ \text{GHz}$  を中心として整合がとれていることが分かる。また、図 14 に示すように、

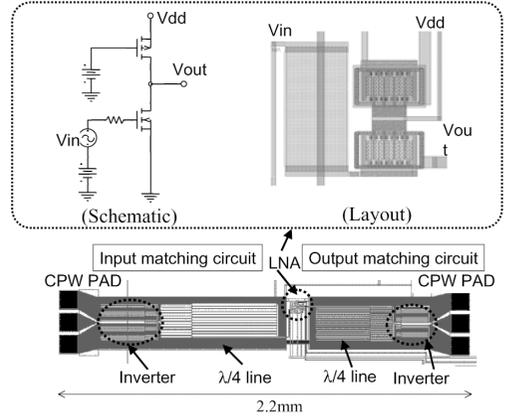


図 12 入出力整合回路一体型 LNA のレイアウト図  
Fig. 12 Layout of input and output matching circuit connected with LNA.

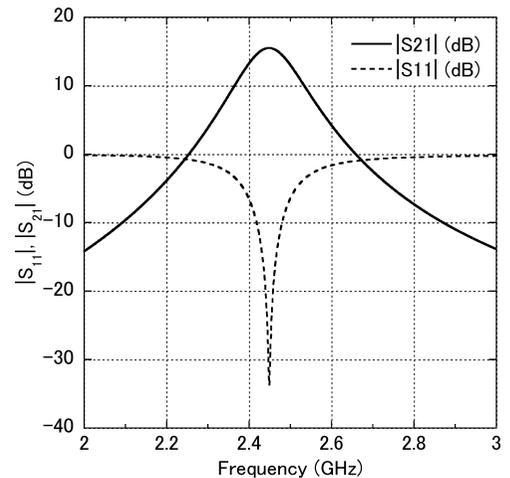


図 13 整合回路一体型 LNA のマイクロ波特性  
Fig. 13 Characteristics of the LNA with input and output matching circuit.

$2.45\ \text{GHz}$  において雑音指数  $=1.8\ \text{dB}$  を得た。図 15 に LNA の入出力部での入力及び出力インピーダンスを示す。入力部、出力部ともほぼ実部  $50\ \Omega$ 、虚部  $0\ \Omega$  に整合されており、本設計法により分布定数線路を用いた整合回路が設計可能となった。

通常はソース-接地間に値の小さなインダクタを挿入し直列帰還により入力インピーダンスの実部をほぼ  $50\ \Omega$  に見せる方式がとられるが、1. にも述べたように、スパイラルインダクタを排除することは今後の高周波化、高機能化のために非常に重要であるので今回は、スパイラルインダクタを一切使用しない設計とした。その結果、本研究で設計した LNA の入力インピーダ

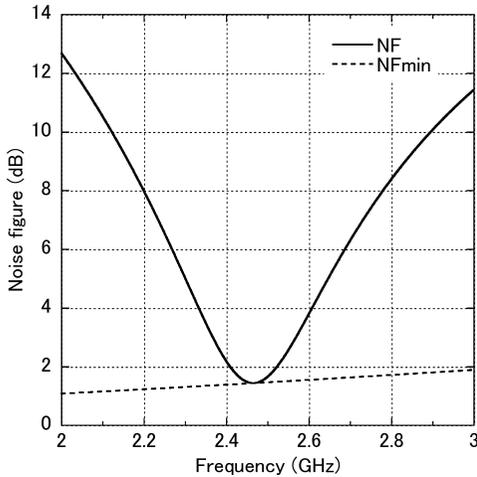


図 14 整合回路一体型 LNA の雑音指数

Fig. 14 Noise figure of the LNA with input and output matching circuit.

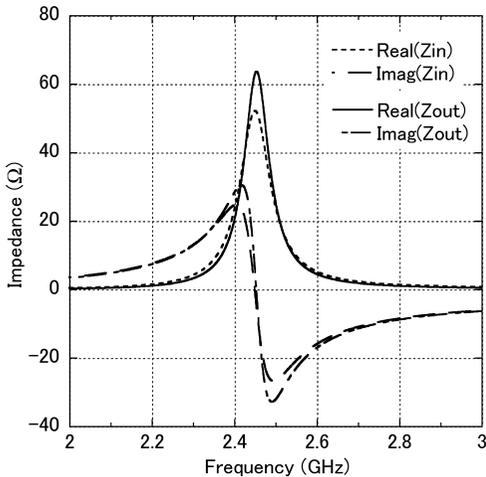


図 15 整合回路一体型 LNA の入出力インピーダンス

Fig. 15 Input and output impedance of the LNA with input and output matching circuit.

ンスから整合条件を算出すると、従来用いられているスパイラルインダクタ（集中定数回路）で整合をとる場合は 2.45 GHz において約 60nH のインダクタンスが必要となる。しかしながら今回提案した CPW（分布定数回路）を用いることにより、面積比が約 1/2 に減少し、更に帯域設計も可能となり、チップサイズを飛躍的に小型化することが可能であると考えられる。更に、スパイラルインダクタは自己の磁界の漏れのため、今回のデザインルールでは、その周囲 50 μm 以内にほかのデバイスを配置することができないが、分布

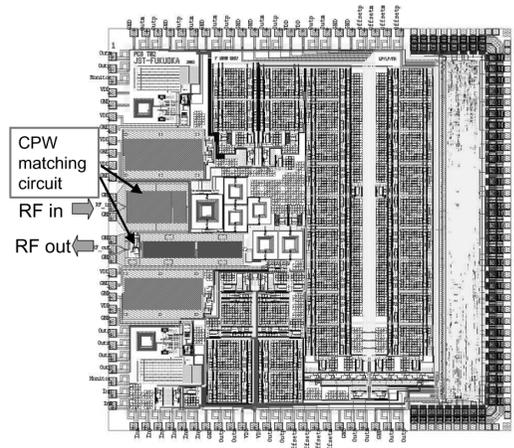


図 16 RF-CMOS フロントエンドのチップレイアウト (チップサイズ：5 mm×5 mm)

Fig. 16 Chip layout of RF-CMOS front-end (Chip size : 5 mm×5 mm).

定数線路はその形状を自由に曲げることができるので、高集積化の際に非常に有利である。

## 6. む す び

分布定数線路とインバータ回路による BPF を応用してフィルタと整合回路を一体化し、CMOS 上にオンチップ化することにより、フィルター一体型 RF-CMOS 低雑音増幅器、パワーアンプの設計手法を提案した。また、アナログ回路とベースバンド処理を同一チップに搭載した、チップを現在試作中であり、そのチップレイアウトを図 16 に示す。なお、図 16 では、LNA の入力及び PA の出力のみ、本論文で提案した整合回路を付加している。一般に、スパイラルインダクタ等の集中定数素子は、自己共振により、高周波での使用は不可能である。一方、本整合回路は共振構造を利用しているので、使用周波数の上昇に伴い、より小型化が可能となる。また本整合回路は、フィルタ回路設計が可能であるので、整合回路の多段化により帯域フィルタ (BPF) と一体化した設計が可能である。

謝辞 本研究の一部は東京大学大規模集積システム設計教育研究センタを通しケイデンス(株)の協力で行われたものである。本研究の一部は科学技術振興財団イノベーションプラザ福岡との共同研究である。本研究の一部は、福岡地域文部科学省知的クラスター創成事業の支援による。また、本研究の一部は科学研究費補助金 (15760245, 14GS0218) によるものである。

文 献

- [1] A. Matsuzawa, "RF-SoC-expectations and required conditions," IEEE Trans. Microw. Theory Tech., vol.50, no.1, pp.245-253, Jan. 2002.
- [2] M. Ono, N. Suematsu, S. Kubo, K. Nakajima, Y. Iyama, T. Takagi, and O. Ishida, "Si substrate registivity design for on-chip matching circuit based on electro-magnetic simulation," IEICE Trans. Electron., vol.E84-C, no.7, pp.923-929, July 2001.
- [3] K. Yoshida, T. Takahashi, H. Kanaya, T. Uchiyama, and Z. Wang, "Superconducting slot antenna with broadband impedance matching circuit," IEEE Trans. Appl. Supercond., vol.11, no.1, pp.103-106, March 2001.
- [4] H. Kanaya, Y. Koga, J. Fujiyama, G. Urakawa, and K. Yoshida, "Design and performance of high Tc superconducting coplanar waveguide matching circuit for RF-CMOS LNA," IEICE Trans. Electron., vol.E86-C, no.1, pp.37-41, Jan. 2003.
- [5] H. Kanaya, Y. Koga, G. Urakawa, and K. Yoshida, "Design of HTS coplanar waveguide matching circuit for low noise CMOS-HTS receiver," IEEE Trans. Appl. Supercond., vol.13, no.2, pp.1031-1034, June 2003.
- [6] G. Matthaei, L. Young, and E. Jones, Microwave Filters, Impedance-Matching Networks, and Coupling Structures, pp.427-440, McGraw-Hill, 1964.
- [7] 吉田啓二, 金谷晴一, "インピーダンス整合回路とそれを用いた半導体素子及び無線通信装置," 特願 2003-64128.

(平成 16 年 4 月 6 日受付, 6 月 7 日再受付)



川上 晃治 (学生員)

2003 九大・工・電気情報卒。現在, 同大大学院システム情報科学府電子デバイス工学専攻在学中。小型平面型フィルタの設計及び評価に関する研究に従事。



吉田 啓二 (正員)

1971 九大・工・電子卒。1976 同大大学院博士後期課程了。九州大大学院システム情報科学研究院教授。工博。高速光通信デバイス及び無線通信システム LSI の設計開発に関する研究に従事。応用物理学会, 低温工学会各会員。



金谷 晴一 (正員)

1990 山口大・理・物理卒。1994 九大大学院工学研究科博士後期課程期間短縮修了。日本学術振興会特別研究員 (PD), 山口大・工学部助手, マサチューセッツ工科大学 (MIT) 博士研究員を経て, 1999 九州大院・システム情報科学研究院助手。2003 九州大院・システム情報科学研究院助教授, システム LSI 研究センター助教授併任。工博。無線通信システム LSI の設計評価に関する研究に従事。2003 第 5 回 LSI IP デザイン・アワード開発奨励賞受賞。IEEE, 応用物理学会, 日本物理学会, 低温工学会各会員。



中村 徹哉 (学生員)

2003 九大・工・電気情報卒。現在, 同大大学院システム情報科学府電子デバイス工学専攻在学中。RF CMOS 回路の設計及び評価に関する研究に従事。