

第5回 IP アワード

[対象 開発助成]

[分野 自由部門]

フィルター一体型 RF - CMOS 低雑音増幅器の開発

金谷晴一、浦川剛、大庭亮介、吉田啓二

九州大学大学院 システム情報科学研究院 電子デバイス工学部門

要約

分布定数線路とインバータ回路によるバンドパスフィルタを応用することによりフィルタと整合回路を一体化し、CMOS 上にオンチップ化する設計理論を新たに提案した。また、本設計理論にもとづいて、フィルター一体型 RF-CMOS 低雑音増幅器を設計した。フィルター一体型整合回路には、コプレーナ線路を用い、小型化のために線路をメアンダ構造にすることにより、従来のスパイラスインダクタに比べてチップ面積の大幅な縮小が可能となった。また、アナログ回路とベースバンド処理をワンチップで実現する可能性が示唆された。

1.はじめに

移動体通信(IMT2000)、無線 LAN、衛星通信等、近年の情報化社会の急激な発展により、より高性能・高効率な通信システムを実現するデバイスの開発が期待されている。これを実現できる技術として、デジタル回路とのマッチングが良い CMOS 回路をアナログ回路に適用することにより、フィルタ・低雑音増幅器(Low Noise Amplifier: LNA)からベースバンド部、更にはデジタル回路等を集積化した、モノリシック・マイクロ波集積回路(MMIC)を開発することが急務の課題となっている[1,2]。すでに無線 LAN においては、PC カード用の高周波フロントエンドとして、2 チップのシステムが開発されている。しかしながら、周波数選択用および、高調波除去用フィルタは外付けされている。

また、低雑音増幅器は通常、外部回路との 50Ω 整合(共役整合)あるいは、雑音整合のため、CMOS チップ上にスパイラルインダクタを装荷しており、このサイズが小型化設計を阻む原因となっている。さらに、スパイラルインダクタは Q 値が非常に低いので、高利得化および低雑音化が難しい。また、帯域設計も不可能である。

そこで我々は、集中定数素子である、スパイラルインダクタや MIM キャパシタを分布定数線路とインバータ回路を用いた共振器構造で置き換えることで、フィルタ回路(帯域設計)と整合回路を一体化した回路素子を CMOS 上に実現することを目的とする。

伝送線路として信号線と接地導体が同一平面上に存在するコプレーナ導波路(CPW)を用いたので、CMOS 能動素子と容易に結合でき、デバイスの小型化が可能である。

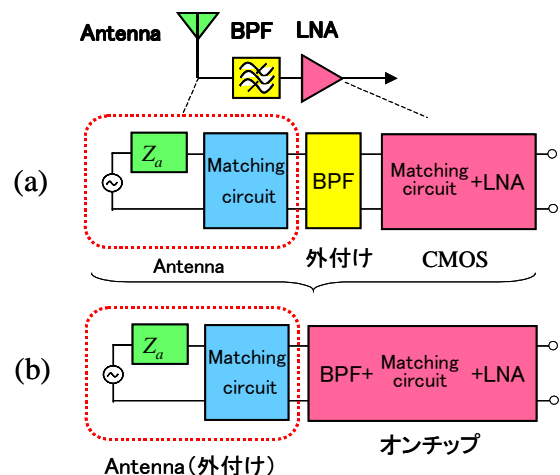


図 1.高周波部のブロック図

(a)従来型 (b)オンチップ型

図1に高周波部のブロック図を示す。通常システムでは図1(a)のように、フィルタは外付けされている。我々はこれまで、外付け回路として、アンテナ・整合回路・フィルタを一体化した、フィルター一体型アンテナの設計を行い、すでに公表済みである[3]。

本研究では、図1(b)のように、CMOS上にフィルタを設計し、LNAの入出力整合回路とそれぞれ一体化することを目的とする。なお、無線LAN (IEEE802.11b)使用される2.4GHz帯をターゲットとし、設計を行う。

2. 整合回路の設計法

本整合回路は、チェビシェフ・バンドパスフィルタ(BPF)の理論をもとにしている[4]。BPFは両端開放共振器とJインバータ($J_{i, i+1}$)により構成する。図2(a)に整合回路部の回路モデルを示す。ここでLNAの入力インピーダンスを $Z_L = R_L + jX_L$ とする。

はじめに、共役整合(インピーダンス整合)について説明する。即ちLNAに最大の電力を供給する整合回路である。LNAのインピーダンスを反転するために、長さ(ℓ)、電気長(θ)、特性インピーダンス(Z_0)を持つ $\lambda/4$ 波長線路を挿入する(図2(b)参照)。 $|Z_L| \gg Z_0$ のとき、線路の左から見た入力インピーダンス Z'_L は(1)式で表される。

$$\left. \begin{aligned} Z'_L &\cong jX' + \frac{Z_0^2}{Z_L} \\ X' &= X + \omega_0 L \Delta\ell \end{aligned} \right\} \quad (1)$$

ここでリアクタンス(X)とリアクタンススロープパラメータ(x)は(2)式で表される。

$$\left. \begin{aligned} X &= -Z_0 \cot \theta \cong x \left(\frac{\omega}{\omega_0} - \frac{\omega_0}{\omega} \right) \\ x &= \frac{\omega_0}{2} \frac{\partial X}{\partial \omega} \Big|_{\omega=\omega_0} = \frac{\pi}{4} Z_0 \end{aligned} \right\} \quad (2)$$

jX'_L を補償するために、 $\lambda/4$ 波長線路の長さを調整する。共役整合条件での調整長さ($\Delta\ell$)を(3)式に示す。

$$\Delta\ell = -\frac{X'_L}{\omega_0 L} = -\frac{Z_0^2 X_L}{\omega_0 L (R_L^2 + X_L^2)} \quad (3)$$

雑音整合(雑音が最小となる整合条件)についても同様にして、調整長さ($\Delta\ell$)は(4)式となる。ここで、 $Z_{opt} = R_{opt} + jX_{opt}$ は、最小雑音指数を与える負荷インピーダンスである[5]。

$$\Delta\ell = -\frac{Z_0^2 X_{opt}}{\omega_0 L (R_{opt}^2 + X_{opt}^2)} \quad (4)$$

最終的に n 段のフィルター一体型整合回路の設計パラメータは、(5)式となる。ここで、 b_i はサセプタンス B_i をもつ半波長共振器のサセプタンススロープパラメータである。また、 g_i はチェビシェフフィルタの規格化素子値、 w は比帯域である。 b'_n は、最終段の共振器とリアクタンス補償回路とを取り込んだ形となっている。なお、(b'_n)は常に正の値でなければならない。図3に n 段のフィルター一体型整合回路の回路モデルを示す。

$$\left. \begin{aligned} J_{0,1} &= \sqrt{w} \sqrt{\frac{b_1}{Z_0 g_1}} \\ J_{i,i+1} &= w \sqrt{\frac{b_{i-1} b_i}{g_{i-1} g_i}} \quad (i=2, 3, \dots, n-1) \\ J'_{n-1,n} &= w \sqrt{\frac{b_{n-1} b'_n}{g_{n-1} g_n}} \\ J'_{n,n+1} &= \sqrt{w} \sqrt{\frac{b'_n}{R'_L g_n}} \\ b'_n &= \frac{b_n}{1 - \frac{wx}{R'_L g_n}} \end{aligned} \right\} \quad (5)$$

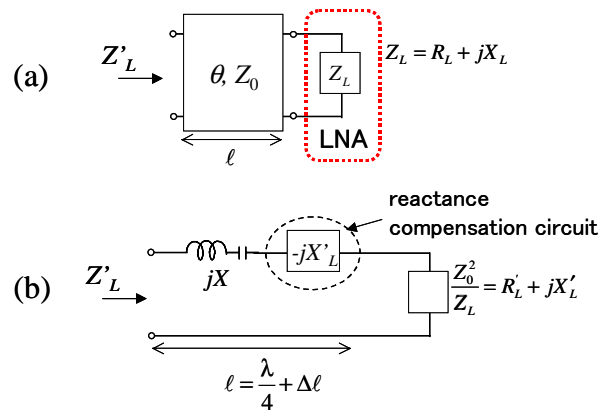


図2.LNAと整合回路の回路モデル (a) 及び、共振点での等価回路 (b)

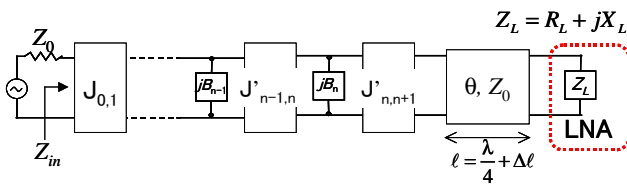


図 3. フィルター体型整合回路の回路モデル

3. 低雑音増幅器 (LNA) の設計

LNA の設計には、0.25 μ m CMOS プロセスを用いた。CAD ツールとして VDEC より提供されている icfb (cadence) を用いた。また LNA の入出力インピーダンスおよび雑音指数の算出には HSPICE (Avant!) を用いた。図4に LNA のレイアウトを示す。また、図5に最大単方向トランスデューサ電力利得 $G_{tu(max)}$ を示す。2.45GHz において、 $G_{tu(max)}=13$ dB、 $Z_L=321-j871$ [Ω] を得た。また、このときの雑音指数 (NF) は NF=3dB であった。

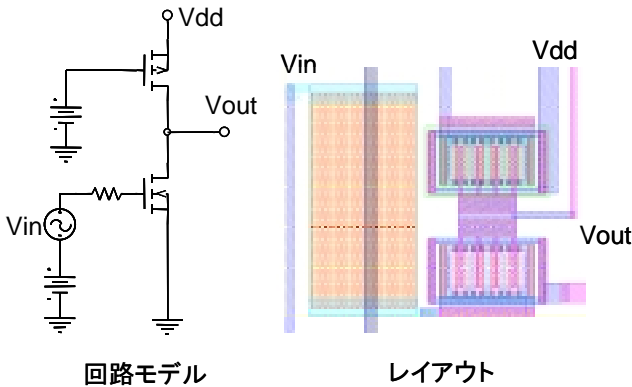


図 4. LNA の回路モデルおよびレイアウト

4. 整合回路の設計

マイクロ波回路においては、マイクロストリップ線路がよく用いられるが、我々は、整合回路を CMOS 上に設計するために、コプレーナ線路 (Coplanar Waveguide: CPW) を用いた。CPW は、図6に示すように、信号線と接地導体が同一平面状にあるため、接地が容易に実現できる。また、信号線幅と接地導体間隔との比により、線路の特性インピーダンスを決定できるので、比例縮小することにより、小型化が可能である。また、マイクロストリップ構造に比べ電

界の放射が少ないので、他の回路への影響も少ないと考えられる。更に、Si 基板の損失の影響をなくすために、最下位のメタルと組み合わせた Conductor-Backed CPW 構造とした(図6)。

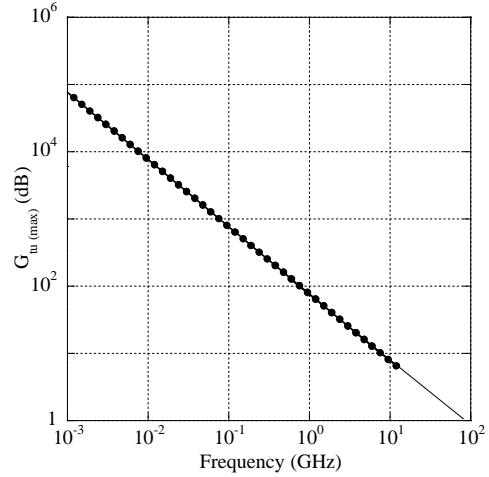


図 5. $G_{tu(max)}$ の周波数特性

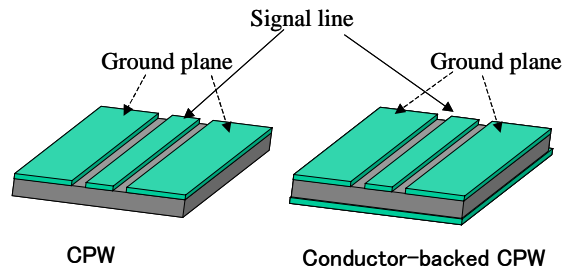


図 6. コプレーナ線路の概略図

理論値 (設計値) の算出には、回路シミュレータ (Microwave Office: Applied Wave Research) を用いた。また、CPW の電磁界シミュレーションには Momentum (Agilent) を用いた。なお、導体は Al、誘電体は SiO₂ とし、導電率、誘電率や誘電損失等の物性定数を用いて、シミュレーションを行った。理論値の計算においては、導体を完全導体としている。電磁界シミュレーションにより算出した Q 値は Q=32 であった。図 7 にフィルター体型整合回路の回路モデル及び周波数特性の段数依存性を示す。中心周波数 2.45GHz、帯域 100MHz において、共役整合され、また、段数 (n) の増加により、遮断特性が向上していることがわかる。なお、比較のために、直接

接続した場合のデータもあわせてプロットしている。この場合、整合がとれていないので、電力は全反射している。

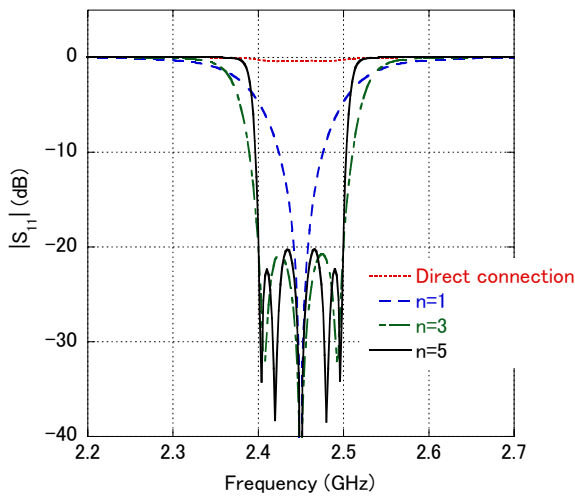


図 7. フィルター体型整合回路の周波数特性

図 8 にフィルター体型整合回路のチップレイアウトを示す。チップサイズの都合上、LNA の入出力段にそれぞれ 1 段の整合回路を取り付けた。小型化のために、線路を折り曲げたメアンダ構造とした。全長 3.2mm である。なお、入出力部はコプレーナプローブによる計測のためのパッド(CPW PAD)をもうけている。図 9 に反射係数の周波数特性を示す。導体損により、反射係数の若干の劣化がみられるが、電磁界シミュレータによる結果は理論値とよくあっており、2.45GHz を中心とし、100MHz の帯域で整合がとれていることがわかる。

図 10 に従来用いられているスパイラルインダクタと本整合回路とのサイズ比較を示す。3 章で設計した LNA の入力インピーダンスから整合条件を算出すると、スパイラルインダクタで整合を取る場合は 2.45GHz において約 60nH のインダクタンスが必要となる。図 10 より、面積比が約 1/5 に減少し、更に帯域設計も可能となり、チップサイズを飛躍的に小型化することが可能であると考えられる。また、スパイラルインダクタの Q 値は通常一桁であるのに対し、今回設計した整合回路では Q 値が 32 であったので、単純に比較できないが、より低損失な整合回路が

実現できたと考えられる。また、一般に、スパイラルインダクタ等の集中定数素子は、自己共振により、高周波での使用は不可能である。一方、本整合回路は共振構造を利用しているので、使用周波数の上昇に伴い、より小型化が可能となる。

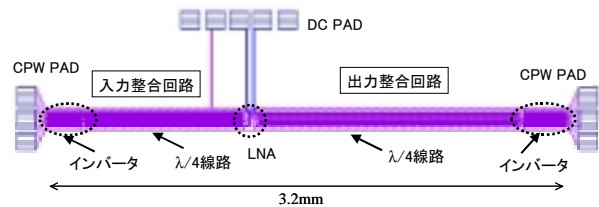


図 8. フィルター体型整合回路のチップレイアウト (入出力: 1 段共役整合)

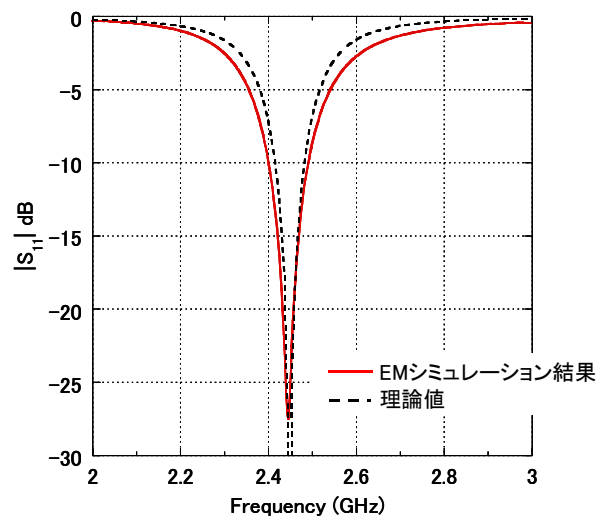


図 9. フィルター体型整合回路の周波数特性(入力段) (Q 値=32 @2.45GHz)

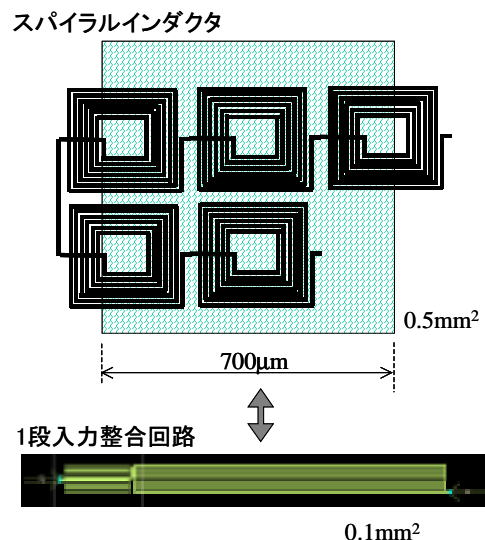


図 10. サイズ比較 (L=60nH @2.45GHz の場合)

5.まとめ

分布定数線路とインバータ回路による BPF を応用してフィルタと整合回路を一体化し、CMOS 上にオンチップ化することにより、フィルター一体型 RF-CMOS 低雑音増幅器を設計した。今回提案した設計法により、チップサイズを飛躍的に小型化することが可能であると考えられる。また、アナログ回路とベースバンド処理を同一のチップで実現する可能性が示唆された。現在チップ試作中である。

6.謝辞

本チップの設計は東京大学大規模集積システム設計教育研究センターを通し、Cadence ツールおよび Avant!ツールを用いて行われたものである。本研究の一部は、科学技術振興事業団(JST) イノベーション・プラザ福岡との共同研究によるものである。

参考文献

- [1] A. Matsuzawa, "RF-SoC-Expectations and Required Conditions," *IEEE Trans. Microwave Theory Tech.*, vol. 50, pp. 245-253, January 2002.
- [2] M. Ono, N. Suematsu, S. Kubo, K. Nakajima, Y. Iyama, T. Takagi, and O. Ishida, "Si Substrate Resistivity Design for On-Chip Matching Circuit Based on Electro-Magnetic Simulation," *IEICE Trans. Electron.*, vol. E84-C, pp. 923-929, July 2001.
- [3] H. Kanaya, Y. Koga, G. Urakawa, and K. Yoshida, Design of HTS Coplanar Waveguide Matching Circuit for Low Noise CMOS-HTS Receiver, *IEEE Trans. Appl. Supercond.* vol. 12, No. 1, (2003) March (in press).
- [4] G. Matthaei, L. Young, and E. Jones, "Microwave Filters, Impedance-Matching Networks, and Coupling Structures," New York: McGraw-Hill, 1964, pp. 427-440.
- [5] 吉田、金谷：「無線信号の送信・受信回路、並びに無線信号の送信・受信装置」、特願 2002-087229.